

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-189410

(43)Date of publication of application : 21.07.1998

(51)Int.Cl.

H01L 21/027
G03F 7/004
G03F 7/023
G03F 7/11
H01L 21/318

(21)Application number : 08-341622

(71)Applicant : SONY CORP

(22)Date of filing : 20.12.1996

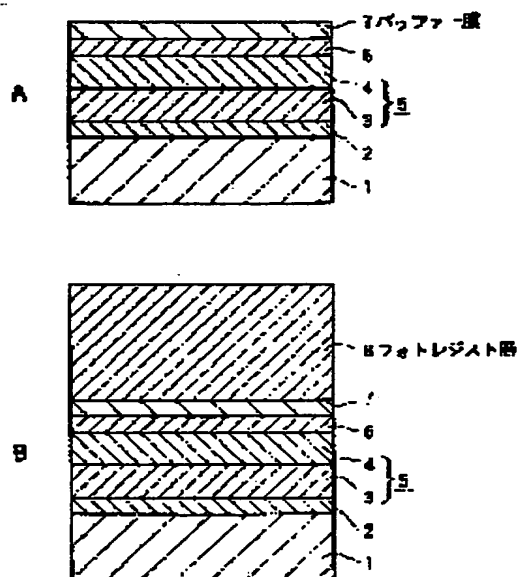
(72)Inventor : MINAMI MASAKI

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To effectively prevent a standing-wave effect from generating by film making of a reflection preventing film containing nitrogen on a semiconductor substrate and by laminate forming of a buffer film which does not contain nitrogen on the reflection preventing film and a photoresist layer.

SOLUTION: A gate electrode 5 is composed of a polysilicon film 3 and a tungsten silicon electrode 4 by laminate forming on a gate oxide film 2 by thermal oxidation of the upper surface of a silicone substrate 1. A reflection preventing film 6 which contains nitrogen is formed on the tungsten silicon electrode 4 of the gate electrode 5 and a buffer film 7 which does not contain nitrogen is formed on the reflection preventing film 6. Additionally a positive type photoresist layer 8 is formed on the buffer film 7. By the means a standing-wave effect can effectively be prevented and a danger of the photoresist layer 8 being made patterning in a sawtooth form is eliminated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-189410

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.⁶ 識別記号

H 0 1 L 21/027

G 0 3 F 7/004

7/023

7/11

H 0 1 L 21/318

5 0 6

5 1 1

5 0 3

F I

H 0 1 L 21/30

G 0 3 F 7/004

7/023

7/11

H 0 1 L 21/318

5 7 4

5 0 6

5 1 1

5 0 3

C

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願平8-341622

(22) 出願日 平成 8 年(1996) 12月20日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 南 正樹

東京都品川区北品川 6 丁目 7 番35号 ソニ

ー株式会社内

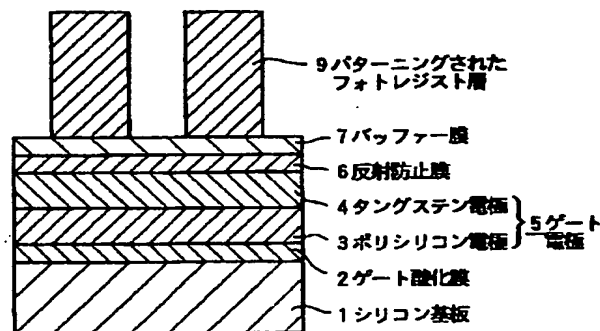
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体基板上に、少なくとも窒素を含有する反射防止膜を成膜する工程と、その反射防止膜上にフォトレジスト層を形成する工程とを有する半導体装置の製造方法において、定在波効果の発生を有効に防止し得、しかも、フォトレジスト層が掘引き形状にパターンニングされてしまうおそれのない製造方法を得る。

【解決手段】 半導体基板 1 上に少なくとも窒素を含有する反射防止膜 6 を成膜する工程と、その反射防止膜 6 上に窒素を含有しないバッファ膜 7 を成膜する工程と、そのバッファ膜 7 上にフォトレジスト層 8 を形成する工程とを有する。



実施の形態

【特許請求の範囲】

【請求項1】 半導体基板上に少なくとも窒素を含有する反射防止膜を成膜する工程と、
該反射防止膜上に窒素を含有しないバッファ膜を成膜する工程と、
該バッファ膜上にフォトリソ層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1に記載の半導体装置の製造方法において、
上記反射防止膜を成膜する工程と、該反射防止膜上に上記窒素を含有しないバッファ膜を成膜する工程とを、
1つの装置内での成膜ステップの切換えにより順次実行することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1に記載の半導体装置の製造方法において、
上記少なくとも窒素を含有する反射防止膜は、少なくとも窒素を含有する SiO_xN_y からなる膜であることを特徴とする半導体装置の製造方法。

【請求項4】 請求項3に記載の半導体装置の製造方法において、
上記フォトリソ層は化学増幅型レジストからなることを特徴とする半導体装置の製造方法。

【請求項5】 請求項4に記載の半導体装置の製造方法において、
上記フォトリソ層を、レーザー光にて露光した後、現像処理することを特徴とする半導体装置の製造方法。

【請求項6】 請求項5に記載の半導体装置の製造方法において、
上記フォトリソ層はポジ型であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特に、フォトリソ層の形成に関する。

【0002】

【従来の技術】半導体装置の製造工程においては、一般に加工すべき半導体基板、絶縁層等の上にフォトリソ層を形成し、ステッパー（投影露光機）によって、そのフォトリソ層に対するフォトマスク合わせ及びそのフォトマスクを通じての露光を行い、そのフォトリソ層を現像し、そのパターニングされたフォトリソ層を通じて、加工すべき半導体基板、絶縁層等をエッチングするフォトリソグラフィが汎用されている。

【0003】近年のVLSI（Very Large Scale Integrated Circuit: 超大規模集積回路）、ULSI（Ultra Large Scale Integrated Circuit: 超々大規模集積回路）等に見られるように、半導体集積回路の高集積化及び高性能化に伴って、最小線幅を決定するフォトリソグラフィ用の露光光の波長はますます短波長化している。現在、半導体集積回路の研究開発では、サブハーフミク

ロン領域のデザインルールデバイスの研究開発が行われており、その際使用される最先端のステッパーは、紫外線光源に代えて、KrFエキシマレーザー光（波長が248nm）等のレーザー光源を光源に用い、0.37～0.50程度のNA（numerical aperture: 開口数）の対物レンズを備えている。

【0004】かかるレーザー光によって露光及び現像処理されるフォトリソ層の材料としては、紫外線によって露光及び現像処理されるフォトリソ層として使用されていたノボラックレジスト（波長が248nmの光に対する光透過率が低い）に代わって、波長が248nmの光に対する光透過率の高い化学増幅型レジストが使用される。この化学増幅型レジストは、ポリマと酸発生剤（PAG）から構成され、露光によってPAGの光反応が起こり、その酸を触媒としてPEB（Post Exposure Bake: 後露光焼成）時にポリマが熱反応を起こし、ポリマの溶解性が変化する。このとき発生した酸は触媒として働くため、極く少量でポリマを反応させることができる。即ち、1個の光子で発生した酸で、数千と言うポリマ反応を起こさせることができ、このため、この種レジストは化学増幅型レジストと呼ばれる。このレジストは、ポリビニルフェノール（PVP）をベースとしたポリマで、実用可能な光透過率を実現することができる。

【0005】このステッパーに使用される露光光としては、単一波長のレーザー光が用いられるが、単一波長の光を用いて露光を行うと、定在波効果と呼ばれる現象が発生することが広く知られている。定在波が発生する原因は、レジスト層内において露光光の多重干渉が起こることによるものである。即ち、入射光と、レジスト層及び基板界面からの反射光とが、レジスト層内で干渉を起こすことによるものである。

【0006】その結果、レジスト層を光反応させるエネルギーとなる吸収光量が、層厚に依存して変化する。ここで吸収光量とは、レジスト層の表面での反射や、レジスト膜層の下基板での吸収や、レジスト層から出射した光等を除いたレジスト層自体に吸収される光の量を言う。

【0007】この吸収光量の変化の度合いは、下地基板の種類や基板上の段差により微妙に変化するため、露光・現像後に得られるレジスト層のパターンの寸法の制御が困難になってしまう。このような傾向は、各種レジスト層に共通なものであり、レジスト層のパターンが微細になればなる程顕在化する。

【0008】そこで、このような定在波効果の発生を防止する有効な方法として、反射防止膜の採用が不可欠となってくる。

【0009】従来、反射防止膜として各種の材料が検討されているが、先に、反射防止膜としての有力な材料として、 SiO_xN_y が提案されている。この SiO_xN_y

y は、ポリSiやSiO₂、Si₃N₄の中間の組成として、Si、O、N、Hを含有する材料で、反射防止効果が高いことが知られている(特開平7-130598号公報等)。

【0010】しかしながら、かかる従来のSiO_xN_yの反射防止膜は、N(窒素)を含有しているために、パターンニングの際にN(窒素)がレジスト材料と化学変化を起こし、レジスト層が掘引き形状にパターンニングされてしまうと言う欠点があることが知られている。

【0011】微細化・集積化したシリコン半導体装置(MOS半導体デバイス)のゲート電極形成工程の場合を例に採って、レジスト層の掘引き形状のパターンニングについて説明する。1はシリコン基板、2はその上のゲート酸化膜、3はその上のポリシリコン電極、4はその上のタングステン電極、6はその上のSiO_xN_yからなる反射防止膜である。尚、ポリシリコン電極3及びその上のタングステン電極4にて、ゲート電極5が構成される。そして、反射防止膜6上に化学増幅型レジストからなるフォトレジスト層をポジ型レジスト層として形成し、これをKrFステッパを用いて、波長が248nmのレーザー光によって露光し、その後現像すると、現像によって形成された孔の根元の部分に、掘引き(Sloping footing:スローピングフットィング)9aが発生する。9はパターンニングされたフォトレジスト層を示す。

【0012】

【発明が解決しようとする課題】かかる点に鑑み、本発明は、半導体基板上に、少なくとも窒素を含有する反射防止膜を成膜する工程と、その反射防止膜上にフォトレジスト層を形成する工程とを有する半導体装置の製造方法において、定在波効果の発生を有効に防止し得、しかも、フォトレジスト層が掘引き形状にパターンニングされてしまうおそれのない製造方法を提案しようとするものである。

【0013】

【課題を解決するための手段】本発明による半導体装置の製造方法は、半導体基板上に少なくとも窒素を含有する反射防止膜を成膜する工程と、その反射防止膜上に窒素を含有しないバッファ膜を成膜する工程と、そのバッファ膜上にフォトレジスト層を形成する工程とを有するものである。

【0014】かかる本発明によれば、少なくとも窒素を含有する反射防止膜と、フォトレジスト層との間に、窒素を含有しないバッファ膜を成膜するので、定在波効果の発生を有効に防止し得、しかも、フォトレジスト層が掘引き形状にパターンニングされてしまうおそれはなくなる。

【0015】

【発明の実施の形態】以下に、図1、図2及び図3を参照して、本発明の実施の形態の半導体装置の製造方法を詳細に説明する。この実施の形態は、微細化・集積化し

たシリコン半導体装置(MOS半導体デバイス)のゲート電極形成工程に、本発明を適用した場合であるが、勿論、本発明はこれに限定されるものではない。

【0016】先ず、図2を参照するに、シリコン基板(半導体基板)1を用意し(図2A)、その上に、例えば、50nm厚のゲート酸化膜(SiO₂)2を形成する(図2B)。このゲート酸化膜2は、例えば、縦型拡散炉を用いて、シリコン基板1を800°Cで、30分加熱して、その上面を熱酸化することによって形成する。

【0017】そのゲート酸化膜2上に、例えば、100nm厚のポリシリコン電極3を形成する(図2C)。このポリシリコン電極3の形成は、例えば、縦型減圧CVD(Chemical Vapor Deposition:化学気相成長)装置を用いて、SiH₄/PH₃=300/200(sccm)のガスを使用し、温度550°C、圧力350Paの下で行う。尚、「sccm」は、standard(標準状態を意味し、具体的には、25°C、1気圧)でのcc/minを意味する。

【0018】このポリシリコン電極3の上に、例えば、100nm厚のタングステンシリコン(WSi_x)電極4を形成する(図2D)。このタングステンシリコン電極4の形成は、例えば、枚葉熱CVD装置を用いて、WF₆/SiH₂Cl₂/Ar=5/100/400(sccm)のガスを使用し、温度600°C、真空度1 Torr(=133Pa)の下で行う。これら電極3、4にて、ゲート電極4が構成される。

【0019】タングステンシリコン電極4上に、例えば、30nm厚のSiO_xN_yからなる反射防止膜6を形成する(図2E)。この反射防止膜6の形成は、枚葉プラズマCVD装置を用いて、N₂O/SiH₄=500/150(sccm)のガスを使用し、プラズマ電極に加える電力200W、温度400°C、圧力300Paの下で行う。

【0020】反射防止膜6上に、窒素(N)を含まない、例えば、10nm厚のSiO₂からなるバッファ膜7を形成する(図3A)。このバッファ膜7の形成は、例えば、縦型減圧CVD装置用い、TEOS{テトラエトキシシラン:Si(C₂H₅O)₄}=300(sccm)を用いて、温度700°C、圧力90Paの下で行う。

【0021】尚、バッファ層7としては、SiO₂の他に、SiF、Ti_xO_y等も可能である。

【0022】バッファ膜7上に、例えば、1μm厚のポジ型フォトレジスト層(化学増幅型レジストからなる)8を形成する(図3B)。このフォトレジスト層8は、レーザー光源を用いたステッパ、即ち、KrFエキシマステッパ(NAが0.37~0.50程度の対物レンズを備える)を用いて、マスク合わせを行い、そのマスク(図示を省略する)を通じてフォトレジスト層

を波長が248nmのレーザー光によって露光し、これを現像することにより、パターニングされたフォトレジスト層9を得る(図1)。このフォトレジスト層9に形成された孔の根元には、裾引きが生じていない。

【0023】図1において、このパターニングされたフォトレジスト層9を通じて、反射防止膜6及びバッファ膜7を部分的にエッチング除去して、ゲート電極5のタングステンシリコン電極4の一部を露出させ、その部分に導線をボンディングする。

【0024】次に、上述の実施の形態の変形例を説明する。縦型減圧CVD装置を用い、ガス $N_2O/SiH_4=500/150$ (sccm)を用いて、温度 $400^\circ C$ 、圧力 $300Pa$ の下で、タングステンシリコン電極4上に、例えば、 $30nm$ 厚の SiO_xN_y からなる反射防止膜6を形成する(図2E)。

【0025】しかる後、同じ縦型減圧CVD装置を用い、成膜ステップの切換え、即ち、そのガスを N_2O/SiH_4 からTEOSに入れ換え、 $TEOS=300$ (sccm)を用い、温度 $700^\circ C$ 、圧力 $90Pa$ の下で、その反射防止膜6上に、窒素(N)を含まない、例えば、 $10nm$ 厚の SiO_2 からなるバッファ膜7を形成する(図3A)。その他の工程は、上述の実施の形態と同様であるので、重複説明は省略する。

【0026】本発明は上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲で、本発明製造方法によって得られる半導体装置の構成、半導体装置の製造方法の各工程、製造装置の構成等は、種々の変形・変更が可能であり、それらを適宜選択できるものである。

【0027】

【発明の効果】第1の本発明によれば、半導体基板上に少なくとも窒素を含有する反射防止膜を成膜する工程と、その反射防止膜上に窒素を含有しないバッファ膜を成膜する工程と、そのバッファ膜上にフォトレジスト層を形成する工程とを有するので、定在波効果を有効に防止し得、しかも、レジスト層が裾引き形状にパターニングされてしまうおそれのない半導体装置の製造方法を得ることができる。

【0028】第2本発明によれば、第1の本発明の半導体の製造装置において、反射防止膜を成膜する工程と、その反射防止膜上に窒素を含有しないバッファ膜を成膜する工程とを、1つの装置内での成膜ステップの切換えにより順次実行するので、第1の本発明の効果に加えて、スループット(単位時間当たりの処理量)の面から有利となる。

【図面の簡単な説明】

【図1】本発明の実施の形態の半導体装置の製造方法の最終工程を示す工程図である。

【図2】本発明の実施の半導体装置の形態の製造方法の一部の工程を示す工程図である。

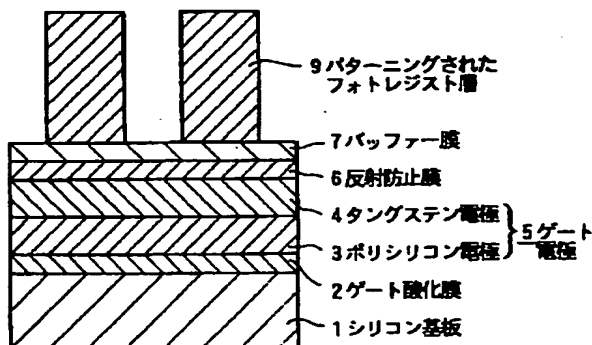
【図3】本発明の実施の形態の半導体装置の製造方法の一部の工程を示す工程図である。

【図4】従来例の半導体装置の製造方法の最終工程を示す工程図である。

【符号の説明】

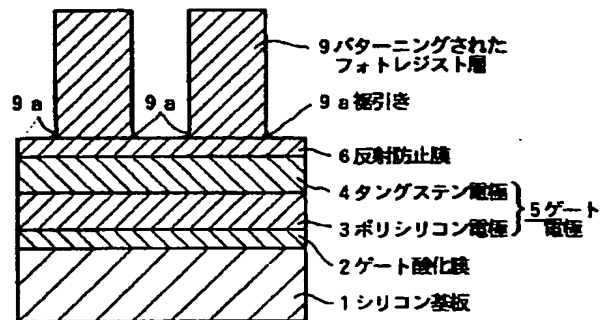
1 シリコン基板、2 ゲート酸化膜、3 ポリシリコン電極、4 タングステンシリコン電極、5 ゲート電極、6 反射防止膜、7 バッファ膜、8 フォトレジスト層、9 パターニングされたフォトレジスト層。

【図1】



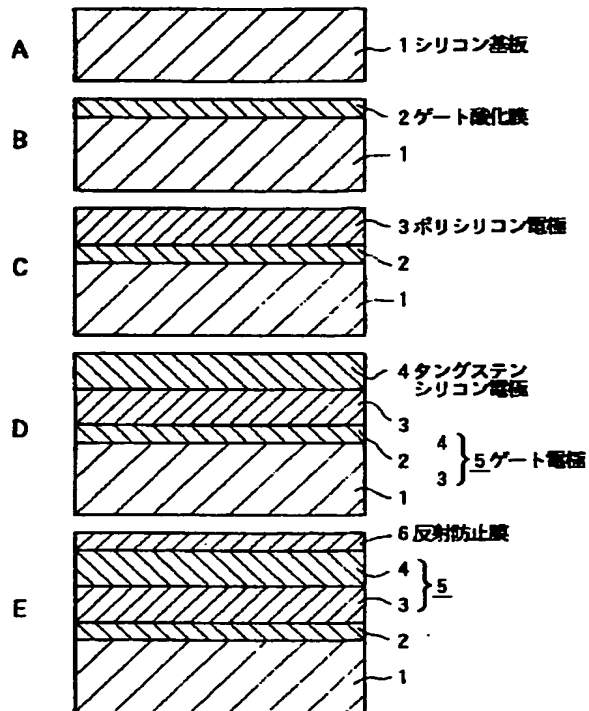
実施の形態

【図4】



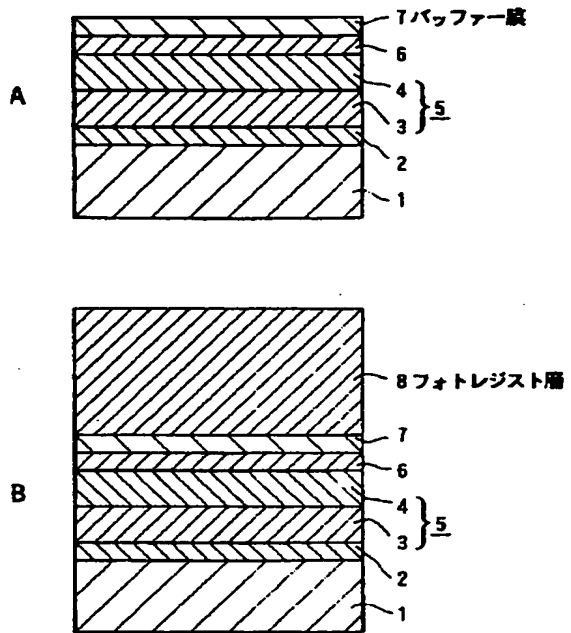
従来例

【図2】



実施の形態

【図3】



実施の形態